

引用格式:王美兰,王 颀,陈振家,等. 3D NAND Flash 的片上控制逻辑电路设计[J]. 微电子学与计算机,2019,36(6):31-34.
[WANG M L, WANG Q, CHEN Z J, et al. Design of 3D NAND flashmemory on-chip control logic circuit[J]. Microeletronics
& Computer, 2019, 36(6): 31-34.]

3D NAND Flash 的片上控制逻辑电路设计

王美兰^{1,2,3}, 王 颀^{1,2,3}, 陈振家³, 刘 志³,
张桔萍^{1,2,3}, 霍宗亮^{1,2,3}

(1 中国科学院大学, 北京 100029; 2 中国科学院 微电子研究所, 北京 100029;
3 长江存储科技有限公司, 湖北 武汉 430205)

摘 要: 本文设计并实现了基于 MCU 的控制逻辑电路,并在仿真环境下进行了功能验证,用 Design Compiler 完成逻辑综合. 结果表明,MCU 工作正常,所占面积为 0.35 mm²,在 33 MHz 的工作频率下动态功耗为 7.52 mW,符合设计目标. 与传统的控制逻辑电路相比,基于 MCU 的控制逻辑电路具有更高的可修改灵活性,极大降低了升级产品的流片成本,缩短控制逻辑电路设计更新周期约 50%.

关键词: 3D NAND Flash; 控制逻辑电路; MCU; 设计灵活性

中图分类号: TP342 **文献标识码:** A **文章编号:** 1000—7180(2019)06—0031—04

Design of 3D NAND flash memory on-chip control logic circuit

WANG Mei-lan^{1,2,3}, WANG Qi^{1,2,3}, CHEN Zhen-jia³, LIU Zhi³,
ZHANG Ju-ping^{1,2,3}, HUO Zong-liang^{1,2,3}

(1 University of Chinese Academy of Sciences, Beijing 100029, China;
2 Institute of Microelectronics, The Chinese Academy of Sciences, Beijing 100029, China;
3 Yangtze memory technologies, Wuhan 430040, China)

Abstract: This paper presents an implementation based on MCU as the control logic circuit for 3D NAND Flash. The proposed circuit has passed functional verification in simulation environment and been synthesized by Design Compiler. Its area is 0.35mm², and the dynamic power consumption is 7.52mW at 33MHz operating frequency. Compared with the traditional design, control logic circuit based on MCU is easier to be modified, which can greatly reduce the tape out cost of the upgraded product and shorten upgrade cycle by approximately 50%.

Key words: 3D NAND Flash; control logic; MCU; design flexibility

1 引 言

NAND Flash 具有特殊的存储机制,不支持随机字节访问,读出和写入操作都是页(Page)大小的整数倍,擦除则是以块(Block)为单位,同一页面在未擦除前不允许进行多次写操作,因此只有设计特殊的 NAND Flash 控制逻辑电路才能被上层设备

使用. 同时,内部嵌入逻辑电路有利于简化用户接口,释放外部控制器的资源,达到存储设备整体的性能优化.

为了实现更高的存储容量,同时解决由于器件尺寸不断缩小导致的单元间串扰等各种问题,传统平面型 NANF Flash 转向 3D NAND Flash 已成为一种必然趋势. 近几年来,从器件的可行性到芯片的

实现,已经有大量的研究^[1-2].随着 3D NAND Flash 的存储容量的扩大,编程和读取算法的复杂度随之提高^[3-4],三层存储单元(Triple Level Cell, TLC)技术的实现,使得每个状态的阈值电压分布变得更窄^[5],对控制的精确度要求更高.因此,对控制逻辑电路的精心设计对提高 3D NAND Flash 的整体性能具有重要的意义.

传统的 NAND Flash 的控制逻辑电路用状态机(Finite State Machine, FSM)实现.状态机的速度较快,所有的输出能够作为所有输入的函数,在输入改变时能够及时更新.但是由于每次算法的改动都需要重新进行一次完整的流程设计^[6],设计周期长,成本较高,后期更新的灵活性低,不利于越来越复杂的 3D NAND Flash 的算法的更新.

MCU 方案能够很好的解决状态机方案后期更新的灵活性低的问题. MCU 方案的局限在于 MCU 通过固件程序产生控制信号,从而在一个时钟周期内不能同时改变数目太多的输出信号,一个 8 位数数据位宽的 MCU,最多只能同时改变 8 个输出信号.因此,对 NAND Flash 经典算法中同一时刻信号转换数目进行分析,在 NAND Flash 的经典算法中需要在一个周期内同时改变的输出信号数目大多在 4 个以下^[7],少数需要同时改变较多个信号的情况可用多个时钟周期完成,因此不会影响控制逻辑电路的总体性能.所以,用 MCU 代替状态机实现控制逻辑电路是可行的,并且能够极大地提高控制逻辑电路可修改的灵活性.据此,本文设计了适用于 3D NAND Flash 的基于 MCU 的片上控制逻辑电路.

2 控制器整体结构和 MCU 设计

2.1 控制器整体结构

3D NAND Flash 控制器的整体结构框图如图 1 所示.外部控制器向 3D NAND Flash 发送各项操作命令;用户接口作为 Flash 与外界接口模块,兼容 ONFI4.0 协议,负责对 I/O 口接收的用户命令地址等信号进行解析,完成命令与地址的接收译码;MCU 接收到用户接口传送的相关信号后,产生各种控制信号到控制寄存器完成各类操作的逻辑控制,包括对 3D NAND Flash 阵列的字线(Word Line)、位线(Bit Line)以及页缓存器与外围模拟模块的控制等;外围电路主要有模拟模块,如电源电压电路,温度补偿电路,行、列译码器等. MCU 控制模拟模块,为 3D NAND 阵列提供不同操作所需的不同电压及控制加电压的时序,数据通路(Datapath)

是 3D NAND Flash 与外界传输数据的高速通路.

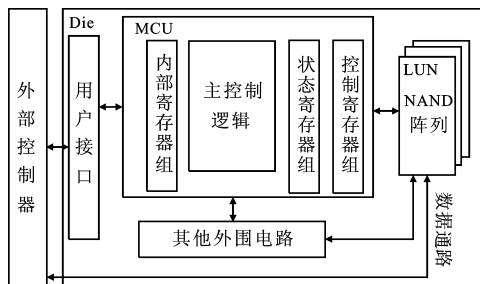


图 1 控制器整体结构图

本文实现的是控制器的“大脑”,控制逻辑电路 MCU 的设计. MCU 的设计主要有 2 方面的内容.(1)硬件功能设计. 根据需求对 MCU 的内部进行功能性划分,并用硬件描述语言实现一套自定义指令集.(2)固件程序. 通过指令集的组合完成复杂的算法操作.

2.2 MCU 硬件功能设计

3D NAND Flash 的控制逻辑电路主要实现编程,读取和擦除等算法,因此,相对于通用 MCU,可以最大化精简 MCU 的结构以节约成本. 本文设计的 MCU 的各个功能模块划分如图 2 所示,采用四级流水:取指→译码→执行→写回.

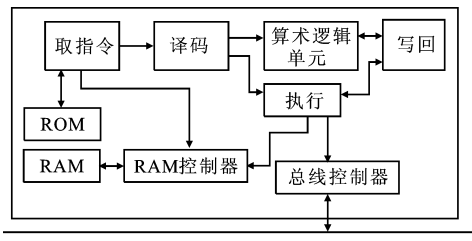


图 2 MCU 内部模块划分

取指令模块(Fetch):根据用户接口传送的不同命令,如 Read ID, 读操作,编程操作等,从 ROM 中读取相应指令.

译码模块(Decoder):该模块负责将取得的指令进行解析译码,并将结果传输到算数逻辑单元进行下一步运算,或传输到执行模块进行读写寄存器等操作.

算术逻辑单元(ALU):实现操作相关的算术运算和逻辑运算.

执行模块(Execute):按照译码阶段给出的操作数、运算类型,进行运算,给出运算结果.

写回模块(Rewrite):由一系列寄存器组构成,包含状态寄存器,控制器寄存器,地址寄存器和数据寄存器等. 其中状态寄存器用于保存 3D NAND Flash 工作时反馈的状态信息,主要是 Flash 的 R/B 信号与阵列操作的反馈状态. 写回模块为这些寄存

器的更新和维护提供接口。

另外,MCU 按其存储类型可分为无片内 ROM 型和有片内 ROM 型. 由于 3D NAND Flash 的片内操作比较固定, 因此采取片内有 ROM 型的 MCU 设计, 配置 16 K 字节的 ROM 存储固件程序, 2 K 字节的 RAM 用于存储控制相关参数。

2.3 指令集设计与固件程序

3D NANDFlash 的算法由一套自定义指令集实现并存储于 ROM 中. 本文参考 RSIC(Reduced Instruction Set Computer)指令集的设计原则, 设计了一套专用指令集, 所设计的指令集长度为 20 bit. 按照功能分为 4 个类型, 包括数据传送类, 算术逻辑运算类, 跳转类和特殊指令类, 共 11 条, 如表 1 所示。

表 1 指令集	
指令类型	具体指令
数据传送类	SET CP CPRI CPRI
算术逻辑运算类	COMP
跳转类	JMP JMPCL CALL RETN
特殊类	NULL LOOP WAIT

在数据传送类指令中,CP、CPRI 和 CPRI 都是 COPY 指令, 区别在于寻址方式不同. CP 指令的源寄存器与目标寄存器都是直接寻址, 而 CPRI 的目标寄存器是相对寻址, 源寄存器直接寻址, CPRI 则相反. 算术逻辑运算类指令 COMP 可根据第 11~14 bit 的不同值译码为不同的算术逻辑运算, 如加法、乘法、左移和异或等运算. 跳转类指令分别为绝对跳转指令 JMP、条件跳转指令 JMPCL 以及调用指令组合 CALL 和 RETN. 特殊指令 NULL 指示程序的结束, LOOP 与 WAIT 分别完成程序循环和不同的信号持续时间的要求。

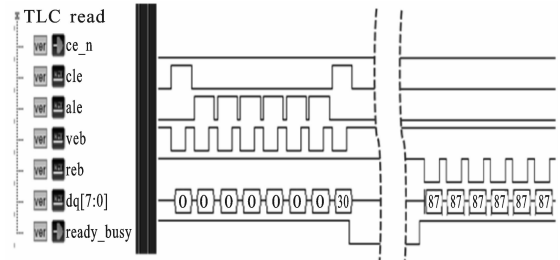
3 功能仿真验证

对本文设计的 MCU, 在 EDA 软件环境下用 Synopsys 的 VCS 工具进行功能的仿真验证. 由该 MCU 组成的控制器控制 3D NAND Flash 阵列, 控制器接口兼容 ONFI4. 0 协议^[8], 关键信号如表 2 所示。

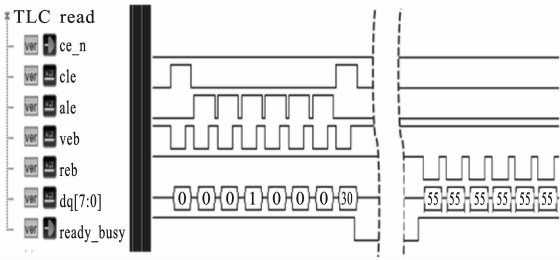
TLC 技术通过对器件阈值分布的处理, 在一个存储单元中存入三个 bit 的信息量, 因此同一根字线上的物理单元在逻辑上分为 Lower page、Middle page 和 Upper page. 图 3 是 TLC 读操作的仿真波形图。

表 2 信号说明

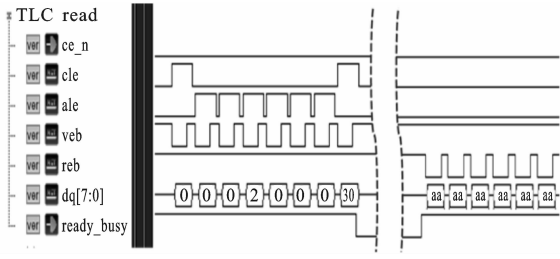
信号名	描述
ce_n	片选信号, 低有效
cle	表明总线周期为命令类型
ale	表明总线周期为地址类型
web	写使能信号, 低有效
reb	读使能信号, 低有效
dq[7:0]	输入或输出数据端口
ready_busy	表明 3D NAND Flash 状态, 高为准备就绪



(a) Lower page 页读取



(b) Middle page 页读取



(c) Upper page 页读取

图 3 TLC read 仿真结果

根据 ONFI 接口协议, 控制器首先接收到读操作的预读取命令 00H, 紧接着六个周期的地址数据 <00h-00h-00h-00h-00h-00h>, 表明了读取的目标页所在的逻辑地址, 该地址包括逻辑单元号 (LUN)、阵列 (Plane)、块以及页地址, 该地址将映射在 3D NAND Flash 中某一层某一排具体逻辑单元, 最后收到页读取命令 30H. 正确接收到一系列地址与命令后, ready_busy 信号拉低, 3D NAND Flash 由 MCU 控制开始具体的读算法, 操作完成后

ready_busy 信号拉高,将数据输出.图中三个页读取操作的页逻辑地址分别为 00H,01H 和 02H,对应着 Lower page read,Middle page read 和 Upper page read.

由图可知,TLC 模式的读算法可正确执行,得到的数据与事先存储的数据一致,MCU 的各个功能模块符合预期设计目标,控制逻辑电路能够正常工作.

功能仿真验证通过后,用 Synopsys 公司的 Design Compile(DC)工具进行综合,综合结果如下表 3 所示.结果显示,本文设计的 MCU 面积较小,功耗较低,符合嵌入片内作为 3D NAND Flash 控制器的控制逻辑电路的需求.

表 3 MCU 性能参数		
Total cell area	Total Dynamic Power	Max slack
355 561 μm^2	7.525 9 mW	13.07 ns

4 分析

NAND Flash 的控制逻辑电路通常用状态机实现.图 4 示出了 NAND Flash 算法更新后,两种控制逻辑电路的更新实现的基本步骤和周期对比.由图可知,状态机的每次更新都需要重新进行一次流程设计,需要在功能验证后重新进行逻辑综合,布局布线和后仿真时序分析(STA)等过程,设计周期长,百万门级的状态机的升级周期约为 6~9 个月,设计更新的灵活性低.而 MCU 实现的控制逻辑电路,设计更新只需进行固件程序的更新并进行功能验证,设计周期短,约为 3~5 个月,所以采用 MCU 设计控制逻辑电路比状态机的更新周期缩短约 50%.并且状态机的设计更新需要整个芯片重新流片,MCU 只需重新流片 ROM,流片成本较低.

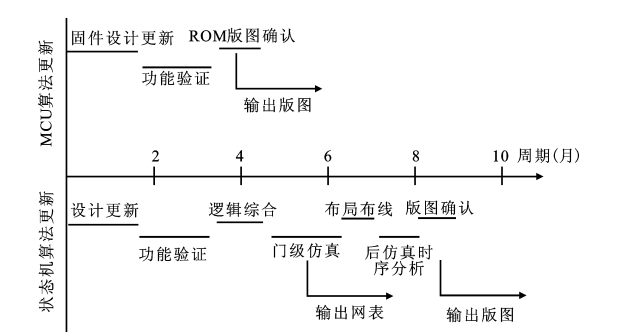


图 4 百万门级状态机与 MCU 优化升级流程对比图

5 结束语

本文在对 3D NAND Flash 的控制需求仔细分析的基础上,用 MCU 实现了 3D NAND Flash 的控

制逻辑电路,能够克服状态机的缺点,缩短设计更新周期约 50%,有效地提高灵活性,有利于 3D NAND Flash 编程和读取算法的不断优化,缩短产品更新周期和提高竞争力,满足市场需求.使用该控制逻辑电路,还能够实现其他功能,例如配合模拟电路完成编程读电压的温度补偿的设计,提高读可靠性;控制页缓存器完成编程前数据预处理操作^[9],降低 TLC 编程时间.随着 3D NAND Flash 堆叠的层数越来越高,基于 MCU 的控制逻辑电路将会有更大的应用空间.

参考文献:

[1] PARK K T, KIM D, HWANG S, et al. A 45nm 4Gb 3-Dimensional Double-Stacked Multi-Level NAND Flash Memory with Shared Bitline Structure[C]// International Solid-State Circuits Conference, USA, 2008:510-632.

[2] PARK K T, BYEON D S, KIM D H. A world's first product of three-dimensional vertical NAND Flash memory and beyond[C]// Non-Volatile Memory Technology Symposium, South Korea, 2015:1-5.

[3] PARK K T, NAM S, KIM D, et al. Three-Dimensional 128 Gb MLC Vertical NAND Flash Memory With 24-WL Stacked Layers and 50 MB/s High-Speed Programming[J]. IEEE Journal of Solid-State Circuits, 2014, 50(1):204-213.

[4] SHIN S H, SHIM D K, JEONG J Y, et al. A new 3-bit programming algorithm using SLC-to-TLC migration for 8MB/s high performance TLC NAND Flash memory[C]// Symposium on VLSI Circuits, USA, 2012:132-133.

[5] MAROTTA G G, MACEROLA A, D ALESSANDRO A, et al. A 3bit/Cell 32Gb NAND Flash Memory at 34nm with 6MB/s Program Throughput and with Dynamic 2b/Cell Blocks Configuration Mode for a Program Throughput Increase up to 13MB/s[C]//International Solid-State Circuits Conference, USA, 2010: 444-445.

[6] SILVAGNI A, FUSILLO G, RAVASIO R, et al. An overview of logic architectures inside Flash memory devices[J]. Proceedings of the IEEE, 2003, 91(4): 569-580.

[7] CAMPARDO G, MICHELONI R, NOVOSEL D. VLSI-Design of Non-Volatile Memories[M]. Berlin: Springer Press, 2005. 448-449.

由实验结果可知,SPLDA-XGB 算法优于其他算法.特别是躺和坐的行为,本文的算法具有更优的准确率.

表 1 不同特征约减方法的识别率

	PCA-XGB	LDA-XGB	LPP-XGB	L-PCA-XGB	SPLDA-XGB
走	88.54	89.76	95.23	91.17	96.27
躺	91.13	94.18	96.42	95.24	97.86
上楼	83.77	88.34	92.26	89.34	94.17
下楼	81.23	86.16	91.52	88.34	92.16
坐	85.68	92.13	95.27	89.87	97.51
站	94.32	95.16	96.12	93.17	96.58
均值	87.45	90.96	94.47	91.19	95.76

如表 1 所示,对于站这一行为,5 种算法取得了差不多的效果;对于躺的行为,LDA-XGB 算法和 PCA-XGB 算法效果较差;上楼和下楼的行为中,仅有 LPP-XGB 算法和 SPLDA-XGB 算法取得了不错的精度,且 SPLDA-XGB 算法比 LPP-XGB 算法分别提高了 1.91%和 0.64%的准确率;对于坐的行为,SPLDA-XGB 算法准确率达到 了 97.51%,远高于其他算法.

5 结束语

SPLDA 降维算法继承了 PCA 算法和 LDA 算法的优点,通过引入 L1 范数、贪婪搜索法和迭代法来进一步提高样本数据集降维准确率.XGBoost 分类器分类精度高,分类速度快,将 SPLDA 算法与 XGBoost 分类器用于人体行为识别分类,实验证明对于六种人体行为的平均识别率达到 95.76%的识别精度.因此本文提出的 SPLDA-XGB 分类识别算法优于 PCA-XGB、LDA-XGB、LPP-XGB、L-PCA-XGB 算法,能够适用于高维大规模数据集.

参考文献:

[1] KHAN A M,TUFAIL A,KHATTAK A M. Ativity recognition on smartphones via sensor-fusion and KDA-based SVMs[J]. International Journal of Distributed Sensor Networks,2014(1):1-14.

[2] KWAPIAZ J R,WEISS G M,MOORE S A. Activ-ity recognition using cell phoneaccele ro-meters[J]. ACM SigKDD Explorations Newsle-tter,2011,12(2):74-82.

[3] YANG J,WRIGHT J,HUANG T S,et al. Image s-up-erresolution via sparse representation[J]. IEEE Transactions on Image ProcessingA Publication of the IEEE Signal Pocessing So-ciety,2010,19(11):28-128.

[4] 聂军. 基于 K-L 特征压缩的云计算冗余数据降维算法[J]. 微电子学与计算机,2016,33(2):125-129.

[5] VAN D M L,POSTMA E,VAN DENIIERIK J. Di-mension reduction: A comparative review[R]. TiC-CTR,Tiburg University, 2009.

[6] 李龙龙,何东健,王美丽. L-PCA 算法下的高维图像降维算法研究[J]. 西安科技大学学报,2017,37(6):906-911.

[7] 钟福金. 鲁棒线性子空间学习算法与框架研究[D]: 成都:西南交通大学,2015.

[8] Chen T Q. XGBoost: A Scalable Tree Boosting System [C]. In Proceeding KDD'16 Proceedings of the 22nd ACM SIGKDD International Conference on Knowledge Discovery and Data Mining. San Francisco, 2016:2-4.

[9] Wang H X,Qin T, Zheng W M. L1-norm-based com-mon spatial patterns. [J]. IEEE Transactions on Bio-medical Engineering,2012,59(3):653-662.

作者简介:

叶 丹 女,(1991-),硕士研究生. 研究方向为模式识别与智能系统. E-mail:yedanguet@163. com.

李 智 男,(1965-),教授,博士生导师. 研究方向为智能仪器系统、现代测试理论与技术.

王勇军 男,(1985-),讲师,博士研究生. 研究方向为无人机组合导航技术.

(上接第 34 页)

[8] WORKGROUPO. Open NANDFlash interface specifi-cation[Z]. Revision, 2014, 2: 1-174.

[9] IM J-W, JEONG W, KIM D-H, et al. A 128Gb 3b/cell V-NAND Flash memory with 1Gb/s I/O rate [C]// International Solid-State Circuits Conference, USA, 2015:1-3.

作者简介:

王美兰 女,(1993-),硕士研究生. 研究方向为数字集成电路设计. E-mail:wangmeilan16@mails. ucas. ac. on.

王 颀 男,(1975-),博士,研究员,博士生导师. 研究方向为新型存储器设计技术研究.